

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H04L 27/00

(45) 공고일자 1998년11월16일
(11) 등록번호 특0154782
(24) 등록일자 1998년10월10일

(21) 출원번호	특1995-041529	(65) 공개번호	특1997-031618
(22) 출원일자	1995년11월15일	(43) 공개일자	1997년06월26일

(73) 특허권자 삼성전자주식회사 김광호
(72) 발명자 경기도 수원시 팔달구 매탄동 416번지 임준혁
(74) 대리인 경기도 용인군 기흥읍 농서리 산14번지 김원호, 최현석

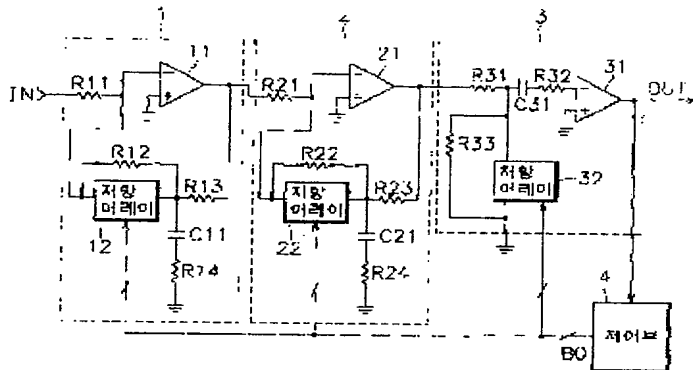
심사관 이두환

(54) 저항 어레이를 이용한 선로 등화기

요약

이 발명은 가입자와 전화국간 등의 인터페이스시 선로의 감쇠를 보상하는데 사용되는 저항 어레이(Resistor array)를 이용한 선로 등화기(Line equalizer)에 관한 것으로서, 선로로부터 수신된 신호를 입력받아, 상기 수신된 신호를 증폭하며, 제어신호에 의해 저항값이 제어되도록 하여 제1영점을 결정하는 저항 어레이를 포함하는 제1영점회로와; 상기 제1영점회로에서 출력된 신호를 입력받아 상기 입력된 신호를 증폭하며, 제어신호에 의해 저항값이 제어되도록 하여 제2영점을 결정하는 저항 어레이를 포함하는 제2영점회로와; 상기 제2영점회로의 출력신호를 입력받아, 상기 입력된 신호를 증폭하며 등화된 신호로서 출력하며, 제어신호에 의해 저항값이 제어되도록 하여 감쇠된 신호의 이득을 결정하는 저항 어레이를 포함하는 이득보상회로와; 상기 이득보상회로에서 출력되는 등화된 신호를 피드백 신호로서 입력받아, 등화된 신호의 피크치에 따라 상기 각 저항 어레이의 저항값을 증가, 유지 또는 감소하도록 하는 소정의 제어신호를 생성하는 제어부로 구성되며, 선로의 감쇠가 자동적으로 보상되도록 하고, 회로의 집적화를 용이하게 할 수 있다.

도면도



발명자

[발명의 명칭]

저항 어레이를 이용한 선로 등화기

[도면의 간단한 설명]

제1도는 이 발명의 실시예에 따른 저항 어레이를 이용한 선로 등화기의 구성 블록도이고,
제2도는 상기 제1도의 저항 어레이에 대한 상세 회로도이고,
제3도는 상기 제1도의 제어부에 대한 상세 회로도이고,
제4도는 종래의 기술에 따른 선로 등화기의 구성 블록도이다.

*도면의 주요부분에 대한 부호의 설명

1 : 제1영점회로

2 : 제2영점회로

3 : 이문보상회로

4 : 제머부

[발명의 상세한 설명]

이 발명은 저항 어레이(Resistor array)를 이용한 선로 등화기(Line equalizer)에 관한 것으로서, 더욱 상세하게 말하자면 제어부에 의해 보상된 신호에 대응하여 저항 어레이의 저항값이 제어되도록 함으로써 입력된 신호의 선로에서의 감쇠를 자동적으로 보상할 수 있도록 하는 선로 등화기에 관한 것이다.

이러한 선로 등화기는 디지털 데이터 전송 시스템에서의 가입자와 전화국간 등의 선로 중간에 인터페이스 장치로서 적용되며, 감쇠된 신호를 보상하는데 사용된다.

위와 같은 선로 등화기에 관한 것으로서, 이 발명의 출원인에게 양도된 미국 특허 제4,887,278호와 제4,745,622호에, 접합형 전계효과 트랜지스터(JFET: Junction Field Effect Transistor)를 저항 부호로서 이용한 선로 등화기가 개시되어 있다.

이하 제4도를 참조하여 상기 미국특허에 개시된 선로 등화기를 상세히 설명한다.

제4는 종래의 기술에 따른 선로 등화기의 구성 블록도이다.

제4도에 도시된 바와 같이, 종래의 기술에 따른 선로 등화기는, 선로로부터 수신된 신호를 받아들이는 제1영점회로(5)와; 상기 제1영점회로(5)의 후단에 연결된 제2영점회로(6)와; 상기 제2영점회로(6)의 후단에 연결된 미등보상회로(7)와; 상기 미등보상회로(7)의 출력신호를 받아들이며 제어전압(Vc)을 생성하고, 생성된 제어전압(Vc)을 상기 제1 및 제2영점회로(5,6)와 미등보상회로(7)에 각각 공급하는 제어부(8)로 구성

상기 제1영점회로(5)는 연산증폭기(52)와; 연산증폭기(52)의 입력단에 연결된 합상기(51)와; 상기 연산증폭기(52)의 출력단에 연결된 저항(R52)과; 게이트단에 상기 제4부(8)의 제4전압(Vc)이 인가되도록 연결되고, 드레인단과 소스단이 상기 합상기(51)와 저항(R52)에 각각 연결된 접합형 전계효과 트랜지스터(Q1)와; 상기 트랜지스터(Q1)의 드레인단과 소스단에 양단이 연결된 저항(R51)과; 서로 직렬로 연결되며, 일단이 트랜지스터(Q1)의 소스단에 연결되고 타단에 접지가 연결된 커패시터(C51) 및 저항(R53)으로 구성된다.

상기 제2연정회로(6)는 연산증폭기(62)와; 연산증폭기(62)의 입력단에 연결된 합산기(61)와; 상기 연산증폭기(62)의 출력단에 연결된 저항(R62); 게이트단에 상기 제어부(8)의 제어전압(Vc)이 인가되도록 연결되고, 드레인단과 소스단이 상기 합산기(61)와 저항(R62)에 각각 연결된 접합형 전계효과 트랜지스터(Q2)와; 상기 트랜지스터(Q2)의 드레인단과 소스단에 양단이 연결된 저항(R61)과; 서로 직렬로 연결되며, 일단이 트랜지스터(Q2)의 소스단에 연결되고 타단에 접지가 연결된 커패시터(C61) 및 저항(R63)으로 구성된다.

상기 마스터보상회로(7)는 상기 연산증폭기(62)의 출력단에 차례로 연결되는 저항(R71), 커패시터(C71) 및 저항(R72)과; 입력단에 상기 저항(R72)이 연결되고 출력단이 제어부(7)에 연결된 연산증폭기(71)와; 게이트단에 상기 제어부(8)의 제어전압(Vc)이 인가되고, 드레인단이 상기 저항(R71)과 커패시터(C71)의 중간 접점에 연결되며, 소스단이 접지에 연결되는 접합형 전계효과 트랜지스터(Q3)와; 상기 트랜지스터(Q3)의 드레인단과 소스단에 양단이 연결된 저항(R73)으로 구성된다.

상기와 같이 구성되는 선로 등화기에서는 제1영점회로(5)와 제2영점회로(6)에 의해 회로의 영점(zero)에서 신호가 증폭되고, 이득보상회로(7)에 의해 신호의 이득이 보상된다.

이때, 제머부(8)에서는 미특보상회로(7)에서 출력되는 등화된 신호(OUT)로부터 선로의 손실에 대해 증가하는 크기를 갖는 소정의 제머전압(V_c)이 생성되며, 이 제머전압(V_c)은 제1 및 제2영점회로(5,6)와 미특보상회로(7)의 접합형 전계효와 트랜지스터(Q1, Q2, Q3)에 공급된다.

각 전계 효과 트랜지스터(Q1, Q2, Q3)는 저항부하로 동작하며, 게이트 전압에 비례하는 저항값을 가짐으로써 증폭도 또는 이득의 보상 정도를 결정한다.

그런데, 상기와 미국 특허에 개시된 선로 등화기는 집적회로용이 아니라 보드용 회로이기 때문에 그것을 직접 집적화하는 것이 불가능하다. 특히, 가장 중요한 핵심 부품인 접합형 전계효과 트랜지스터와 제어부의 동작 특성값은 현재의 제조공정에서는 구현하기 어려우며, 구현한다 할지라도 전체적인 회로의 특성이 크게 벗어나게 되는 문제점이 있다.

보다 구체적으로, 접합형 전계효과 트랜지스터는 게이트 전압의 변화에 따른 저항값의 변화 범위가 작고, 선형적 동작이 요구되므로 MOS(MOS : Metal Oxide Semiconductor) 공정으로 구현하기가 어렵다.

또한, 제어부에서는 시스템 특성상 큰 값의 시상수(time constant)가 요구되는데, μF 의 용량을 갖는 커패시터가 구비되어야 하는데, 이와 같은 용량의 커패시터는 집적회로에서 구현 불가능한 문제점이 있다.

그러므로, 이 발명의 목적은 상기한 바와 같은 종래의 기술적 문제점을 해결하기 위한 것으로서, 제어부에 의해 저항값이 제어되는 저항 어레이를 구비하도록 함으로써 선로의 감쇠가 자동적으로 보상되도록 하며, 회로의 집적화를 용이하게 하는 저항 어레이를 이용한 선로 등화기를 제공하는데 있다.

상기된 목적을 달성하기 위한 수단으로서 이 발명의 구성은, 선로로부터 수신된 신호를 입력받아, 상기 수신된 신호를 증폭하여, 제머신호에 의해 제1정확도로 제머디로록 하여 제1정점을 결정하는 제1회로(제머신호에 의해 제1정점 결정)를 포함하는 제1정점회로; 상기 제1정점회로에서 출력된 신호를 입력받아 상기 입력된 신호를 증폭하여, 제머신호에 의해 제1정확도로 제머디로록 하여 제2정점을 결정하는 제2회로(제머신호에 의해 제2정점 결정)를 포함하는 제2정점회로; 상기 제2정점회로에서 출력된 신호를 입력받아, 상기 입력된 신호를 증폭하여, 제머신호에 의해 제2정확도로 제머디로록 하여 제3정점을 결정하는 제3회로(제머신호에 의해 제3정점 결정)를 포함하는 제3정점회로; 및 상기 제1정점회로, 제2정점회로, 제3정점회로에서 출력된 신호를 입력받아, 상기 입력된 신호를 증폭하여, 제머신호에 의해 제3정확도로 제머디로록 하여 제4정점을 결정하는 제4회로(제머신호에 의해 제4정점 결정)를 포함하는 제4정점회로;를 포함하는 이득보상 회로인 것을 특징으로 하는 이득보상 회로이다.

회로와; 상기 이득보상회로에서 출력되는 등화된 신호를 피드백 신호로서 입력받아, 등화된 신호의 피크치에 따라 상기 각 저항 어레이의 저항값을 증가, 유지 또는 감소하도록 하는 소정의 제어신호를 생성하는 제어부를 포함하여 이루어진다.

이하, 첨부된 도면을 참조하여 이 발명의 바람직한 실시예를 설명한다.

제1도는 이 발명의 실시예에 따른 저항 어레이를 이용한 선로 등화기의 구성 블록도이고, 제2도는 상기 제1도의 저항 어레이에 대한 상세 회로도이고, 제3도는 상기 제1도의 제어부에 대한 상세 회로도이다.

먼저, 제1도를 참조하여 이 발명의 실시예에 따른 선로 등화기의 구성을 설명한다.

제1도에 도시된 바와 같이, 이 발명의 실시예에 따른 저항 어레이를 이용한 선로 등화기는, 선로를 통해 수신된 입력신호(IN)와 제어신호(B0)를 받아들이도록 연결된 제1영점회로(1)와; 상기 제1영점회로(2)의 출력신호와 제어신호(B0)를 받아들이도록 연결된 제2영점회로(2)와; 상기 제2영점회로(2)의 출력신호와 제어신호(B0)를 받아들이며 등화된 신호(OUT)를 출력하도록 연결된 이득보상회로(3)와; 상기 이득보상회로(3)의 출력신호(OUT)를 받아들이며 제어신호(B0)를 출력하도록 연결된 제어부(4)로 구성된다.

상기 제1영점회로(1)는, 비반전 입력단이 접지되도록 연결된 연산증폭기(11)와; 일단에는 입력신호(IN)가 인가되고 타단은 연산증폭기(11)의 반전 입력단에 연결된 저항(R11)과; 상기 연산증폭기(11)의 출력단에 연결된 저항(R13)과; 상기 연산증폭기(11)의 반전 입력단과 저항(R13) 사이에 연결된 저항 어레이(12)와; 상기 저항 어레이(12)에 병렬로 양단이 연결된 저항(R12)과; 상기 저항 어레이(12)와 저항(R13)의 접점에 타단이 접지되도록 차례로 연결된 커패시터(C11) 및 저항(R14)으로 구성된다.

제2영점회로(2)는 제1영점회로(1)와 구성요소 및 그 각각의 연결관계가 동일하며, 단지 회로기호가 다르다. 즉 제1영점회로(1)의 저항(R11, R12, R13, R14)은 각각 제2영점회로(2)의 저항(R21, R22, R23, R24)과 대응하며, 제1영점회로(1)의 커패시터(C11)은 제2영점회로(2)의 커패시터(C21)과 대응하며, 제1영점회로(1)의 연산증폭기(11) 및 저항 어레이(12)는 제2영점회로(2)의 연산증폭기(21) 및 저항 어레이(22)에 대응한다.

한편, 이득보상회로(3)는, 비반전 입력단이 접지되고 출력단이 제어부(4)에 연결된 연산 증폭기(31)와; 상기 연산증폭기(21)의 출력단과 연산증폭기(31)의 반전 입력단 사이에 차례로 연결된 저항(R31), 커패시터(C31) 및 저항(R32)과; 일단이 상기 저항(R31)과 커패시터(C31) 사이의 접점에 연결되고 타단이 접지되도록 연결된 저항 어레이(32)와; 상기 저항 어레이(32)의 양단에 연결된 저항(R33)으로 구성된다.

상기 이득보상회로(3)의 출력신호(OUT)는 외부에 제공될 뿐만 아니라 제어부(4)에 피드백 신호로서 입력되며, 제어부(4)에서 생성된 제어신호는 각 저항 어레이(12, 22, 32)에 공급된다.

다음으로, 상기한 구성을 참조하여 이 발명의 실시예에 따른 선로 등화기의 동작을 설명한다.

전원이 인가되어 회로의 동작이 시작되면, 선로로부터 수신된 신호(IN)가 저항(R11)을 거쳐 연산증폭기(11)의 반전 입력단에 입력된다. 제1영점회로(1)의 연산 증폭기(11) 및 저항 어레이(12)를 포함하는 부대회로는 반전 증폭기로 동작하며, 제1영점회로(1)의 각 소자값에 의해 결정되는 영점(zero)에서의 신호를 증폭한다. 상기한 영점은 극점(pole)과 반대되는 개념이다.

이때, 저항 어레이(12)의 저항값은 제어부(4)에서 출력되는 제어신호(B0)에 의해 결정되며, 저항 어레이(12)의 저항값이 변화함으로써 상기 변화에 대응하여 연산 증폭기(11)에 의한 증폭도가 변화된다.

제1영점회로(1)에서 증폭된 신호는 제2영점회로(2)로 입력되며, 저항(R21)을 거쳐 연산증폭기(21)의 반전 입력단에 입력된다. 제2영점회로(2)의 연산 증폭기(21) 및 저항 어레이(22)를 포함하는 부대회로는 반전 증폭기로 동작하며, 제2영점회로(2)의 각 소자값에 의해 결정되는 영점(zero)에서의 신호를 증폭한다.

상기 제1영점회로(1)와 제2영점회로(2)는 동일한 동작을 수행하며, 다만 내부의 저항 및 커패시터의 소자값이 다르므로 주파수에 따라 서로 다른 이득(gain)을 가진다.

저항 어레이(22)의 저항값은 제어부(4)에서 출력되는 제어신호(B0)에 의해 결정되며, 저항 어레이(22)의 저항값이 변화함으로써 상기 변화에 대응하여 연산 증폭기(21)에 의한 증폭도가 변화된다.

상기 제2영점회로(2)의 출력신호는 이득보상회로(3)에 입력되며, 저항(R31), 커패시터(C31) 및 저항(R32)을 거쳐 연산증폭기(31)의 반전 입력단에 입력된다. 연산증폭기(31) 및 저항 어레이(32)를 포함한 부대회로는 제2영점회로에서 출력되는 신호를 증폭하며, 출력신호(OUT)가 증폭도에 대응하는 이득을 가지도록 한다.

이때, 연산증폭기(31)에 의한 증폭도는 저항 어레이(32)의 저항값에 의해 변화되며, 이로 인해 연산증폭기(31)의 출력신호(OUT)의 이득은 상기 증폭도에 대응하여 변화한다. 즉 저항 어레이(32)의 저항값 변화에 대응하여 연산증폭기(31) 출력신호(OUT)의 이득이 결정된다.

이득보상회로(3)의 출력신호(OUT)는 등화된 신호(Equalized signal)로서 외부에 제공될 뿐 아니라, 제어부(4)에 피드백 신호로서 입력된다.

제어부(4)에서는 이득보상회로(3)의 출력신호(OUT)의 피크치가 검출되며, 검출된 피크치의 크기에 따라 소정 비트의 제어신호(B0)가 생성되며, 생성된 제어신호(B0)는 각 저항 어레이(12, 22, 32)에 제공된다.

다음으로, 제2도를 참조하여 각 저항 어레이를 보다 상세히 설명한다.

제2도는 제1영점회로(1)내의 저항 어레이(12) 및 다른 구성요소와의 연결관계를 도시한 것이다. 제2도에 도시한 저항 어레이(12)는 제어부(4)의 제어신호(B0)가 7비트의 산호인 것을 전제로 한 것으로서, 제어신호(B0)의 비트수는 각 저항 어레이에서의 저항값 변화 정도에 따라 가변하여 설계된다.

또한, 제어신호(B0)의 비트수는 각 저항 어레이의 저항값 변화 스텝을 결정하는데, 7비트의 제어신호(B0)이면 저항 어레이의 저항값 $2^7=128$ 스텝으로 변화한다.

제2도에 도시된 바와 같이, 제1영점회로(1) 내의 저항 어레이(12)는, 직렬로 연결된 저항값이 2의 급수인 7개의 저항(R~64R)과; 서로 직렬로 연결되고 동시에 각각이 7개의 저항에 병렬 연결된 7개의 전송 게이트(121~127)로 구성된다.

직렬 연결된 7개의 저항(R~64R) 양단은 상기 저항(R12)에 연결되며, 각 전송 게이트(121~127)에는 7비트의 제어신호(B0)와 그 반전신호($\overline{B0}$)가 연결된다. 상기 반전신호($\overline{B0}$)는 도면에 도시되지 않는 반전기에 의해 제어신호(B0)를 반전시킴으로써 얻어질 수 있다.

각 전송게이트(121~127)는 대응하는 제어신호(B0)의 비트 중 하나에 의해 스위칭 상태가 제어되며, 전송 게이트의 스위칭 상태에 따라 전류 경로가 절환된다.

예를 들어, 전송게이트(121)에 입력되는 제어신호(B0)의 비트가 로직 '1'일 경우, 전송게이트(121)는 턴 오프되며, 전류의 경로는 전송게이트(121)에 대응하는 저항(R)에 전류가 흐르도록 형성된다.

즉, 제어신호(B0)의 비트가 로직 1일 경우에는 대응하는 전송게이트가 턴오프되고, 제어신호(B0)의 비트가 로직 '0'일 경우에는 대응하는 전송게이트가 턴온된다.

전송게이트가 턴오프되면 대응하는 저항에 전류가 흐르도록 전류 경로가 형성되며, 전송게이트가 턴온되면 대응하는 저항에 전류가 흐르지 않도록 전류 경로가 형성된다.

또한, 각 저항(R~64R)의 저항값은 2의 급수인 값이므로, 상기과 같은 제어에 의해 저항 어레이(12)의 저항값은 128스텝을 가진다.

이에 따라, 저항 어레이(12)에서 요구되는 저항값의 변화량이 1k Ω ~100k Ω 정도이면, 저항 어레이(12)의 최소변화단위를 1k Ω 으로 설계함으로써 저항 어레이(12)의 저항값 변화는 1k Ω ~128k Ω 가 되도록 할 수 있다.

저항 어레이(12)의 7개의 저항(R~64R)의 저항값이 차례로 1k Ω , 2k Ω , 4k Ω , 8k Ω , 16k Ω , 32k Ω , 64k Ω 과 같이 2의 급수가 되도록 하고, 제어신호(B0)의 7개의 비트 값이 '1001111'이라면, 저항 어레이(12)의 양단 저항값은 64k+8k+4k+2k+1k=79k Ω 이 된다. 위와 같이, 저항 어레이(12)의 각 저항의 값을 2의 급수인 것으로 하는 것은 집적회로로 제작할 때 구현하기가 용이하다.

다음으로, 제3도를 참조하여 이 발명의 실시예에 따른 전로 등화기에 적용되는 제어부(4)를 보다 상세하게 설명한다. 상기 제3도에 도시된 제어부(4)의 제어신호(B0)는 7비트인 것으로 가정한다.

제3도에 도시된 바와 같이, 이 발명의 실시예에 따른 전로 등화기의 제어부(4)는, 이득보상회로(3)의 출력신호(OUT)를 받아들이도록 연결된 피크검출기(41)와; 각각의 반전 입력단에 제1기준전압(Vref1)과 제2기준전압(Vref2)이 입력되며, 각각의 비반전 입력단에 상기 피크 검출기(41)의 출력신호가 공통으로 입력되도록 연결된 연산증폭기(42, 43)와; 각 연산증폭기(42, 43)의 출력단에 데이터 입력단이 연결된 D-플립플롭(44, 45)과; 상기 D-플립플롭(44)의 출력단에 연결된 반전기(46)와; 상기 D-플립플롭(45)의 출력단 신호와 상기 반전기(46)의 출력단 신호를 두 입력으로서 받아들이도록 연결된 논리합소자(47)와; 상기 반전기(46)의 출력신호를 업/다운단(U/D)으로 받아들이고, 상기 논리합소자(47)의 출력신호를 인에이블단(E)으로 받아들이며, 7비트의 신호를 제어신호(B0)로서 출력하도록 연결된 카운터(48)로 구성된다.

이득보상회로(3)의 출력신호(OUT)가 피크 검출기(41)에 입력되면, 피크 검출기(41)에서는 입력신호의 피크치가 검출된다. 검출된 피크치는 두 연산 증폭기(42, 43)의 비반전 입력단에 입력된다.

두 연산 증폭기(42, 43)는 비교기(comparator)로 동작하며, 각각의 반전 입력단에 입력된 제1 및 제2기준 전압(Verf1, Verf2)과 검출된 피크치의 크기를 비교한다. 여기서 제1기준전압(Verf1)은 제2기준전압(Verf2)보다 작다.

두 D-플립플롭(44, 45)은 대응하는 각 연산 증폭기(42, 43)의 출력신호를 입력단(D)으로 받아들이며 출력단(Q)으로 래치시키며, D-플립플롭(44)의 출력은 반전기(46)에 입력되고, D-플립플롭(45)의 출력은 논리합소자(47)에 입력된다.

반전기(46)에서는 상기 D-플립플롭(44)의 출력에 반전된 후, 카운터(48)의 업/다운단(U/D)과 논리합소자(47)의 입력단에 제공된다. 논리합소자(47)에서는 상기 반전기(46)의 출력과 D-플립플롭(45)의 출력에 논리합되며, 그 결과는 카운터(48)의 인에이블단(E)에 입력된다.

카운터(48)는, 인에이블단(E)의 신호가 하이레벨일 경우, 업/다운단(U/D)의 신호 상태에 따라 업카운트(up count) 또는 다운카운트(down count) 동작을 수행한다. 보다 상세하게 업/다운단(U/D)의 신호가 하이레벨일 경우에는 업카운트 동작을 수행하고, 업/다운단(U/D)의 신호가 로우레벨일 경우에는 다운카운트 동작을 수행한다. 인에이블단(E)의 신호가 로우레벨을 경우에는 카운터(48)는 카운트 동작을 하지 않고 현재의 카운트 값을 유지한다.

카운터(48)의 카운트 데이터는 제어신호(B0)로서 저항 어레이(12, 22, 32)에 입력된다.

한편, 비교기로 동작하는 상기 연산증폭기(42, 43)에서는 검출된 피크치에 따라 세가지 영역으로 구분되는 데, ① 검출된 피크치가 제1기준전압(Verf1)보다 작을 경우, ② 검출된 피크치가 제1기준전압(Verf1)과 제2기준전압(Verf2)의 사이값일 경우 및 ③ 검출된 피크치가 제2기준전압(Verf2)보다 클 경우이다.

①의 경우, 두 연산증폭기(42, 43)의 출력은 로우레벨이 되고 반전기(46)의 출력은 하이레벨이 되어, 카운터(48)의 인에이블단(E)에는 하이레벨이 입력되고 업/다운단(U/D)에도 하이레벨이 입력된다. 따라서, 카운터(48)는 업카운트 동작을 수행한다.

②의 경우, 연산증폭기(42)의 출력은 하이레벨이 되고 연산증폭기(43)의 출력은 로우레벨이 되며, 반전기(46)의 출력은 로우레벨이 되므로, 카운터(48)의 인에이블단(E)에는 로우레벨이 입력되어 카운터(48)는 현재의 카운트 값을 유지하는 동작을 수행한다.

③의 경우, 두 연산증폭기(42,43)의 출력은 모두 하이레벨이 되고 반전기(46)출력은 로우레벨이 되므로, 카운터(48)의 인에이블단(E)에는 하이레벨이 입력되고 업/다운단(U/D)에는 로우레벨이 입력되어, 카운터(48)는 다운카운트 동작을 수행한다.

이렇게 생성된 카운터(48)의 7비트 제어신호(80)는 저항 어레이(12,22,32)의 7개의 전송게이트에 각각 입력되며, 비트 상태에 따라 각 전송게이트의 스위칭 상태를 제어하며, 업카운트 경우에는 저항 어레이(12,22,32)의 저항값을 한 스텝씩 증가시키고, 다운카운트 경우에는 저항 어레이(12,22,32)의 저항값을 한 스텝씩 감소시키며, 카운트 값을 유지하는 경우에는 저항 어레이(12,22,32)의 저항값을 유지한다.

만약, 카운터(48)의 비트수가 증가하도록 설계하면, 각 저항 어레이(12,22,32)의 저항값이 한 스텝당 변화량은 작아진다. 또한 각 저항 어레이(12,22,32)의 저항 ($R \sim 64R$)의 값을 조절하여 한 스텝당 변화량을 조절할 수도 있다.

결국, 한 저항 어레이(12,22,32)에 요구되는 저항값의 변화범위에 따라, 카운터(48)의 비트수, 즉 제어신호(80)의 비트수, 또는 저항 어레이 내의 저항($R \sim 64R$)의 값을 조절하여 의도하는 변화범위를 얻을 수 있다.

또한, 각 저항 어레이(12,22,32)의 저항값에 의해 회로의 영점과 이득이 결정되므로, 이를 바꾸어 생각하면, 각 저항 어레이(12,22,32)의 저항값이 주파수에 따른 선로의 감쇠를 나타내고 있다.

이에 따라, 선로의 감쇠정도를 사용자에게 알려줄 필요가 있다면, 디지털 데이터인 카운터(48)의 출력을 외부로 제공함으로써 간단하게 감쇠정도를 외부에 알릴 수 있다. 즉 카운터(48)의 출력단에 발광 다이오드 표시기 또는 액정표시기를 부가하여 간단히 선로의 감쇠정도를 외부에 표시할 수 있다.

이상에서와 같이 이 발명의 실시예에 따르면, 제어부에 의해 저항값이 제어되는 저항 어레이를 구비하도록 함으로써 선로의 감쇠가 자동적으로 보상되도록 하며, 회로의 집적화를 용이하게 하는 저항 어레이를 이용한 선로 등화기를 제공할 수 있다.

(57) 청구의 범위

청구항 1

선로로부터 수신된 신호를 입력받아, 상기 수신된 신호를 증폭하며, 제어신호에 의해 저항값이 제어되도록 하여 제1영점을 결정하는 저항 어레이를 포함하는 제1영점회로와; 상기 제1영점회로에서 출력된 신호를 입력받아 상기 입력된 신호를 증폭하며, 제어신호에 의해 저항값이 제어되도록 하여 제2영점을 결정하는 저항 어레이를 포함하는 제2영점회로와; 상기 제2영점회로의 출력신호를 입력받아, 상기 입력된 신호를 증폭하며 등화된 신호로서 출력하며, 제어신호에 의해 저항값이 제어되도록 하여 감쇠된 신호의 이득을 결정하는 저항 어레이를 포함하는 이득보상회로와; 상기 이득보상회로에서 출력되는 등화된 신호를 피드백 신호로서 입력받아, 등화된 신호의 피크치에 따라 상기 각 저항 어레이의 저항값을 증가, 유지 또는 감소하도록 하는 소정의 제어신호를 생성하는 제어부를 포함하여 이루어지는 것을 특징으로 하는 저항 어레이를 이용한 선로 등화기.

청구항 2

제1항에 있어서, 상기한 각 저항 어레이는 상기 제어신호의 비트수와 동일한 수의 직렬로 연결된 저항과; 각각이 서로 직렬로 연결됨과 동시에 상기 각 저항에는 병렬로 연결되어, 상기 제어신호의 대응하는 비트 신호의 상태에 따라 스위칭 동작을 수행하는 스위칭 수단을 포함하는 것을 특징으로 하는 저항 어레이를 이용한 선로 등화기.

청구항 3

제2항에 있어서, 상기한 스위칭 수단은 전송게이트인 것을 특징으로 하는 저항 어레이를 이용한 선로 등화기.

청구항 4

제2항 또는 제3항에 있어서, 상기한 각 스위칭 수단은 턴온 동작에 의해 대응하는 저항을 우회하는 전류 경로를 형성하고, 턴오프동작에 의해 대응하는 저항을 통과하는 전류 경로를 형성하도록 동작함을 특징으로 하는 저항 어레이를 이용한 선로 등화기.

청구항 5

제2항에 있어서, 상기한 각 저항 어레이의 저항값 변화범위는 제어신호의 비트수 또는 저항 어레이 내 저항의 값을 조절함으로써 결정됨을 특징으로 하는 저항 어레이를 이용한 선로 등화기.

청구항 6

제2항에 있어서, 상기한 각 저항의 저항값은 2의 급수인 값을 가지도록 배치됨을 특징으로 하는 저항 어레이를 이용한 선로 등화기.

청구항 7

제1항에 있어서, 상기한 제어부는 상기 이득보상회로에서 출력되는 등화된 신호의 피크치를 검출하는 피크 검출기와; 상기 피크 검출기에서 검출된 피크치를 소정의 제1기준치 및 제2기준치와 비교하는 비교수단과; 상기 비교수단의 비교 결과로부터, 검출된 피크치가 제1기준치 및 제2기준치보다 크면 소정의 제1논리신호를 출력하고, 검출된 피크치가 제1기준치와 제2기준치의 사이에 위치하면 소정의 제2논리신호를 출력하며, 검출된 피크치가 제1기준치 및 제2기준치보다 작으면 소정의 제3논리신호를 출력하는 논리수단과; 업/다운단 및 인에이블단을 통해 상기 논리수단의 신호를 받아들이며, 상기 논리수단으로부터 제1논

리신호가 입력되면 다음카운트 동작을 수행하고, 제2리신호가 입력되면 현재의 카운트 값을 유지하며 제3리신호가 입력되면 업카운트 동작을 수행하며, 현재의 카운트 값을 상기 각 저항 어레이에 제공하는 카운터를 포함하는 것을 특징으로 하는 저항 어레이를 이용한 선로 등화기.

첨구항 8

제7항에 있어서, 상기한 비교수단은 비반전 입력단으로 입력되는 검출된 피크치와 반전 입력단에 입력되는 제1기준치를 비교하는 제1연산중폭기와; 비반전 입력단으로 입력되는 검출된 피크치와 반전 입력단에 입력되는 제2기준치를 비교하는 제2연산중폭기를 포함하는 것을 특징으로 하는 저항 여러미를 이용한 선풍 동화기.

첨구합 9

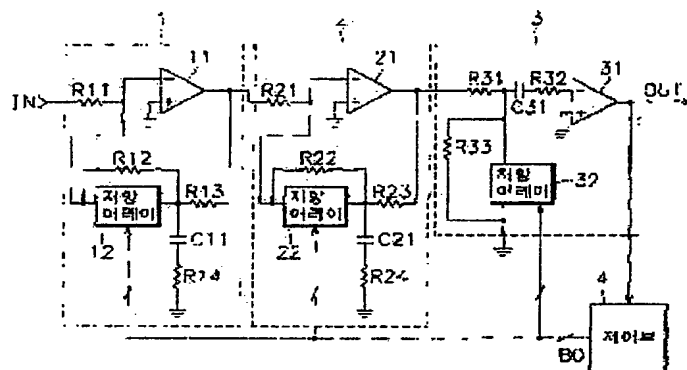
제8항에 있어서, 상기한 논리회로는 상기 제1연산 증폭기의 출력신호를 래치시키는 제1플립플롭과; 상기 제2연산 증폭기의 출력신호를 래치시키는 제2플립플롭과; 상기 제1플립플롭의 출력신호를 반전하여 상기 카운터의 업/다운단에 제공하는 반전기와; 상기 제2플립플롭의 출력신호와 상기 반전기의 출력신호를 논리합 연산하여 상기 카운터의 인에이블단에 제공하는 논리합소자를 포함하는 것을 특징으로 하는 저항 어레이를 이용한 센서 동작기.

첨구합 10

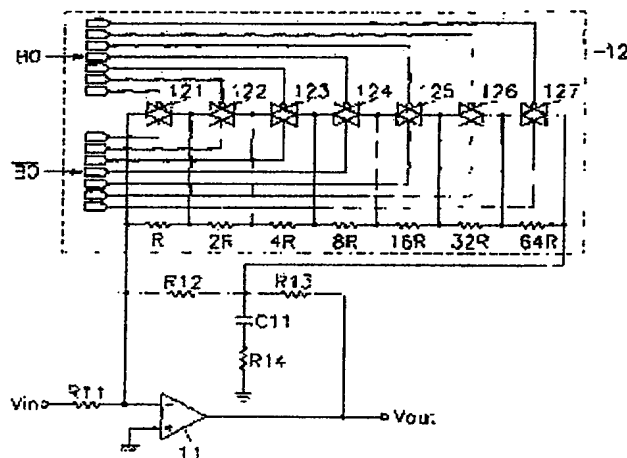
제7항에 있어서, 상기한 카운터의 출력단에는 선로의 감쇠정도를 외부에 표시하기 위한 발광 다이오드 표시기 또는 액정 표시기가 부가하여 연결됨을 특징으로 하는 저항 머레이를 이용한 선로 동화기.

END

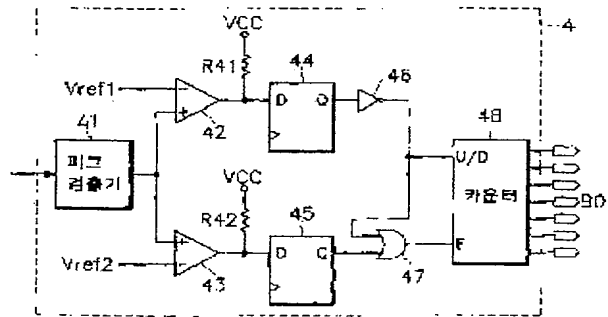
521



502



도 83



도 84

